

## IMAGE GENERATING APPARATUS

Publication number: JP4233672

Publication date: 1992-08-21

Inventor: POORU ANSONII UINZAA

Applicant: PHILIPS NV

Classification:

- international: G06T15/50; G06T15/50; (IPC1-7): G06F15/72

- european: G06T15/50B

Application number: JP19910184118 19910628

Priority number(s): GB19900014555 19900629; GB19910000452 19910109

Also published as:

E P0464907 (A2)

US 5394516 (A1)

E P0464907 (A3)

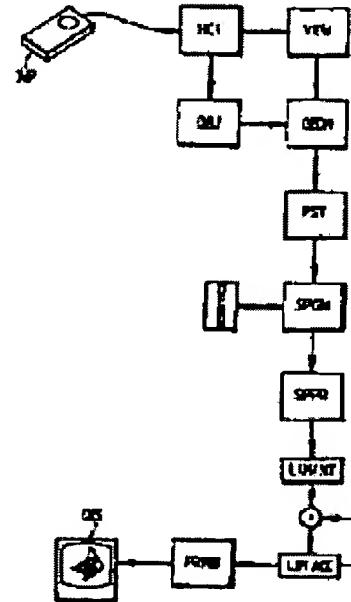
E P0464907 (B1)

[Report a data error here](#)

### Abstract of JP4233672

**PURPOSE:** To reduce the cost of the picture generator by setting up a generated intermediate pixel array as linear array, connecting the intermediate pixel array to a 1st pixel string and successively connecting a series of new pixel strings until the completion of a picture.

**CONSTITUTION:** This picture generator is provided with a means for executing anti-aliasing filtering processing and picture multiplex plotting is executed by using respective plots to be deformed based upon a sub pixel offset (N1, NY) corresponding to a preceding plot. Economical hardware is prepared in order to correct the horizontal end part of a parameter such as depth Z and constitutional coordinates (u), (v). A generated intermediate pixel array is set up as a linear array and connected to a 1st pixel string and a series of new pixel arrays are successively connected until the completion of a picture.



Data supplied from the **esp@cenet** database - Worldwide

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平4-233672

(43)公開日 平成4年(1992)8月21日

(51)Int.Cl.<sup>6</sup>  
G 0 6 F 15/72

識別記号 350  
府内整理番号 9192-5L

F I

技術表示箇所

審査請求 未請求 請求項の数15(全 11 頁)

(21)出願番号	特願平3-184118
(22)出願日	平成3年(1991)6月28日
(31)優先権主張番号	9 0 1 4 5 5 5 . 8
(32)優先日	1990年6月29日
(33)優先権主張国	イギリス (GB)
(31)優先権主張番号	9 1 0 0 4 5 2 . 3
(32)優先日	1991年1月9日
(33)優先権主張国	イギリス (GB)

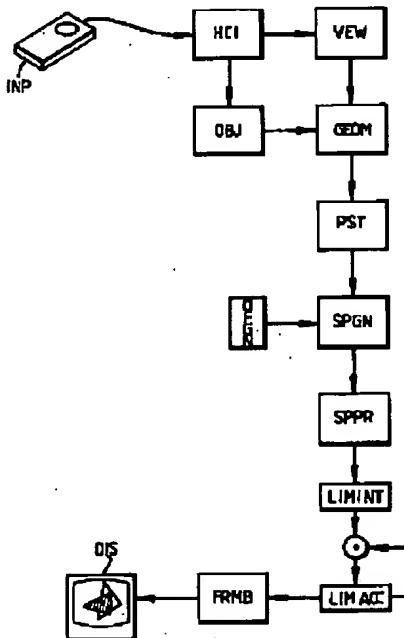
(71)出願人 590000248  
エヌ・ペー・フィリップス・フルーラン  
ベンファブリケン  
N. V. PHILIPS' GLOEIL  
AMPENFABRIEKEN  
オランダ国 アイントーフエン フルーネ  
ヴァウツウェツハ 1  
(72)発明者 ポール アンソニー ウインザー  
イギリス国 サリー レツドヒル アツバ  
ー ブリッジ ロード34 フラット10  
(74)代理人 弁理士 杉村 晓秀 (外5名)

(54)【発明の名称】 画像発生装置

(57)【要約】

【目的】 本発明の目的は、既知のシステムと比較して、比較的低コスト且つ、複雑でないハードウェアシステムにおいて、リアルタイムスピードでアンチエイリアス処理された画像の合成を実現せんとするにある。

【構成】 本発明は、3次元の物体の画像を、2次元の規則的な画素アレイに発生させる画像表示装置に関するものであり、アンチエイリアスフィルタ処理を行なうための手段を具え、先の描写に対するサブ画素オフセット( $N_x, N_y$ )に寄つて変位する各描写を用いて、画像の多重描写を行なう。奥行き( $Z$ )及び構成座標( $u, v$ )のようなパラメータの水平方向端部修正のために、経済的なハードウェアを設ける。



1

## 【特許請求の範囲】

【請求項 1】 一連の画素の列を具え、表示すべき 3 次元空間の物体の画像を、2 次元の規則的な画素アレイに発生させるための装置であって、該装置が：前記所望の画像の基本要素に関する幾何学的な表面の記述を各々具えている複数の基本要素記述子を発生させるとともに、記憶するための手段と、前記記憶された基本要素記述子を用いて、ポイントサンプルされた複数の中間画素アレイを描写するための手段と、このような描写の各々に対して、前記基本要素とサンプルポイントとの間に、異なる所定のオフセットを設けるための手段と、前記複数の中間画素アレイを結合させ、対応するフィルタ処理された画素アレイを発生させ、記憶するための手段とを具える画像発生装置において、前記発生する前記中間画素アレイを一次元アレイとし、該中間画素アレイを、第 1 番目の前記画素列と結合させ、その後前記画像が完成されるまで、順次に一連の新たな画素列を順番に結合させることを特徴とする画像発生装置。

【請求項 2】 一連の新たな画素列に対して、基本要素のサブセットを、アクティブであると認識するための手段を更に具えていることを特徴とする請求項 1 に記載の画像発生装置。

【請求項 3】 前記オフセットに基づき、前記基本要素の他のサブセットが、前記新たな列において潜在的にアクティブであると認識するための手段を具えていることを特徴とする請求項 2 に記載の画像発生装置。

【請求項 4】 各基本要素に対して、該基本要素がアクティブである前記一連の画素列中の前記第 1 番目の画素列を識別するためのスタート列データを発生させるとともに記憶するための手段と、前記アクティブ基本要素のリストを保持しつつ、各新たな画素列中の第 1 番目の任意のアクティブ基本要素を識別し、アクティブ基本要素のリストに加えるためのスタート列データを用い、前記リストを更新するための手段とを更に具えていることを特徴とする請求項 2 または 3 に記載の画像発生装置。

【請求項 5】 前記スタート列データが、各画素列に対して、該一連の画素列中の第 1 番目の任意のアクティブ基本要素を識別するためのリストを具えていることを特徴とする請求項 4 に記載の画像発生装置。

【請求項 6】 各基本要素に対して、該基本要素がアクティブである前記一連の画素列中の最後の画素列を識別するためのエンド列データを発生させ、記憶するための手段と、前記識別された最後の画素列に対する前記複数の中間画素アレイが描写される際、前記アクティブ基本要素リストから基本要素を削除するための手段とを具えていることを特徴とする請求項 3 に記載の画像発生装置。

【請求項 7】 依然として処理の必要がある前記アクティブ基本要素リストから削除される基本要素を、1 以上の前記オフセットに応答して、アクティブであると識別

2

するための削除される基本要素リストを保持するための手段を具えていることを特徴とする請求項 6 に記載の画像発生装置。

【請求項 8】 各基本要素記述子が他の基本要素記述子のポインタのためのポインタ領域を具え、且つ、前記アクティブ基本要素リストが、各列毎に、連続しているこのようなポインタを用い、前記アクティブ基本要素を連鎖にリンクさせることによって形成されることを特徴とする請求項 6 に記載の画像発生装置。

10 【請求項 9】 前記と同一のポインタ領域を前記スタート列データ領域の一部として用い、前記と同一の列の 2 個以上の第 1 番目のアクティブ基本要素を連鎖にリンクさせることを特徴とする請求項 8 に記載の画像発生装置。

【請求項 10】 前記と同一のポインタ領域を用いて、基本要素の前記サブセットを連鎖にリンクさせることを特徴とする請求項 8 又は 9 に記載の画像発生装置。

【請求項 11】 前記描写手段が、基本要素記述子を受信するとともに、対応する画素列に、基本要素の範囲を各々規定する一連のスパン記述子を発生させるためのスパン発生手段を具え、該スパン発生手段が：サブ画素の精度を用いて、前記スパンの水平方向スタート位置を計算するための手段と；少なくとも 1 個の他のパラメータに対する初期値を計算するための手段と；サブ画素の精度を用いて、垂直方向のオフセット値を受信し、これより、水平方向のスタート位置のための垂直方向オフセット修正を計算し、前記垂直方向オフセット修正に従って、前記水平方向スタート位置を修正するための手段と；前記他のパラメータ初期値、(1) 前記受信された垂直方向オフセットのための修正及び(11) 前記修正された水平方向スタート位置の前記サブ画素部分のための修正に関する計算を行ない、水平方向スタート位置から整数画素位置への切捨てを補償するとともに、これらの修正に従って、前記他のパラメータの初期値を修正すための手段；とを具えていることを特徴とする請求項 1 ～ 10 のいづれか一項に記載の画像発生装置。

【請求項 12】 前記他のパラメータ初期値の修正前に、前記スパンの前記水平方向スタート位置を修正し、該修正水平方向スタート位置の小数部分を、前記修正の計算に使用するために一時的に記憶し、前記他のパラメータ初期値に適用することを特徴とする請求項 1 に記載の画像発生装置。

【請求項 13】 前記水平方向スタート位置又は、任意の他のパラメータ初期値のいづれか一方を修正する以前に、前記スパンの水平方向エンド位置が計算及び修正されることを特徴とする請求項 1 1 又は 1 2 に記載の画像発生装置。

【請求項 14】 前記水平方向スタート位置及び前記他のパラメータ初期値の前記修正を計算するための前記手段が、所定のシーケンスの前記水平方向スタート位置及

び他のパラメータ初期値を受信し、前記修正の前記計算を行なうのに使用する前記値のそれぞれの微分と交互配位を行なう演算回路を具えていることを特徴とする請求項11、12又は13のいづれか一項に記載の画像発生装置。

【請求項15】 前記演算回路が、前記水平方向スタート位置及び前記他のパラメータ初期値の両方の修正を順番に計算するのに用いられる乗算器を具えていることを特徴とする請求項14に記載の画像発生装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、一連の画素の列を具え、表示すべき3次元空間の物体の画像を、2次元の規則的な画素アレイに発生させるための装置であつて、該装置が：前記所望の画像の基本要素に関する幾何学的な表面の記述を各々具えている複数の基本要素記述子を発生させるとともに、記憶するための手段と、前記記憶された基本要素記述子を用いて、ポイントサンプルされた複数の中間画素アレイを描写するための手段と、このような描写の各々に対して、前記基本要素とサンプルポイントとの間に、異なる所定のオフセットを設けるための手段と、前記複数の中間画素アレイを結合させ、対応するフィルタ処理された画素アレイを発生させ、記憶するための手段とを具える画像発生装置に関するものである。

【0002】

【従来の技術】 前頭に述べた種類の装置は、Henry Fuchs等によるComputer Graphics, Vol.19, No. 3 (GRAPH 85)の111～120ページにおける'FastSpheres, Shadows, Textures, Transparencies and Image Enhancements in Pixel Planes'、特に、119及び120ページの'Successive Refinement'より既知である。Fuchsによれば、"各画素(xy)をサブ画素のグリッドに細分化し、各サブ画素のアドレスを(x+xoffset, y+yoffset)の形態としている。各回毎に、画像をわずかに(xoffset, yoffset)だけオフセットさせ、画像を数回、例えば16回発生させる。このようにして、画素領域中のサンプルポイントが、適切な分布を形成するようにする。A. xoffset+B. yoffsetを、各ブロードキャストトライブル(broadcast triple)の比例係数Cに加えることで、容易に推移させることができる。2個の色バッファを用いる。その内一方は、最終的な画像発生オフセットにより発生する色を記憶するためのものであり、他方は、サブ画素グリッドの回りを移動する際のランニングアベレージを記憶するためのものである。"

【0003】 この方法によって得られるフィルタ処理の主な目的は、サンプリングプロセスによって生じるエイリアスを減少させることにある。顕著なエイリアスは、画素アレイ軸と相関して傾いている基本要素の端部に現れる段階構造である。この影響は、基本要素の端部が画

素アレイの軸とほぼ整列している場合に、特に顕著である。

【0004】

【発明が解決しようとする課題】 しかしながら、このような高画質（リアルタイム）画像合成を市場に提供できることは望ましいが、'画素面'ハードウェアのコスト及び2個のフルフレームカラー・バッファを必要とする大規模メモリによって、Fuchsの方法は、一般的なハードウェアに適用するには、あまりにも高価なものとなってしまう。

【0005】 走査アルゴリズムとして知られている描写アルゴリズムのクラスは、例えば、R. Catmull "A Hidden-surface Algorithm with Anti-aliasing" Computer Graphics Vol.12, No. 3, 6-11(GRAAPH 1978) 及び L. Carpenter, "the A-buffer, an Antialiased Hidden Surface Method", Computer Graphics Vol.18, No. 3, 103～108(GRAAPH 1984) より既知である。走査アルゴリズムでは、画像は、一回に一画素列で発生させられる。しかしながら、Catmull 及びCarpenter により開示されたアンチエイリアス アルゴリズムは、ハードウェア、特に一般的なハードウェアにおいて実現するには複雑なものである。

【0006】 本発明の目的は、既知のシステムと比較して、低コストで、さほど複雑ではないハードウェアシステムにおいて、ほぼリアルタイムスピードで、アンチエイリアス処理された画像の合成を実現せんとするにある。

【0007】

【課題を解決するための手段】 本発明は、一連の画素の列を具え、表示すべき3次元空間の物体の画像を、2次元の規則的な画素アレイに発生させるための装置であつて、該装置が：前記所望の画像の基本要素に関する幾何学的な表面の記述を各々具えている複数の基本要素記述子を発生させるとともに、記憶するための手段と、前記記憶された基本要素記述子を用いて、ポイントサンプルされた複数の中間画素アレイを描写するための手段と、このような描写の各々に対して、前記基本要素とサンプルポイントとの間に、異なる所定のオフセットを設けるための手段と、前記複数の中間画素アレイを結合させ、対応するフィルタ処理された画素アレイを発生させ、記憶するための手段とを具える画像発生装置において、前記発生する前記中間画素アレイを一次元アレイとし、該中間画素アレイを、第1番目の前記画素列と結合させ、その後前記画像が完成されるまで、順次に一連の新たな画素列を順番に結合させることを特徴としている。

【0008】 中間画素アレイを、一回に、一列（すなわち、一走査ライン）発生させることによって画素処理段に、小型、高速メモリを具えるハードウェアを実現することができる。唯一個のフルフレームカラー・バッファのみが必要であり、結果的には、かなりの節約になる。同

時に、かなり簡易なハードウェアで、簡単なポイントサンプル描写を用い、複雑な分析フィルタ処理プログラムを回避することができる。

【0009】本発明による画像発生装置は、更に、一連の新たな画素列に対して、基本要素のサブセットを、アクティブであると認識するための手段を具えることができる。前記描写手段を配置し、前記アクティブサブセット以外の基本要素の記述子を無視することで、ムダな処理努力を節約する。

【00010】描写間に適用される異なるサブ画素オフセットによって、種々の基本要素を各々の描写に対して、アクティブにするに際し、このオフセットが基本要素の端部に亘ってサンプルポイントを採用する場合、アクティブポリゴン情報の維持に問題が生じる。

【00011】従って、本発明による画像発生装置は、前記オフセットに基づき、前記基本要素の他のサブセットが、前記新たな列において潜在的にアクティブであると認識するための手段を更に具えることができる。前記描写手段は、各オフセットに応答して、選択的に他のサブセットの基本要素をアクティブとして取扱うことができる。

【0012】所定の走査線上の潜在的にアクティブである他の基本要素を、特定の任意のオフセットの大きさに基づき、識別することによって、行方向の必要な情報とともに、走査線アルゴリズムが提供される。この行方向の必要な情報は、通常アルゴリズムに用いることのできないものであるが、多重描写によるアンチエイリアスフィルタ処理を可能にするのに必要とされる。

【0013】本発明による画像発生装置は、各基本要素に対して、該基本要素がアクティブである前記一連の画素列中の前記第1番目の画素列を識別するためのスタート列データを発生させるとともに記憶するための手段と、

【0014】前記アクティブ基本要素のリストを保持しつつ、各新たな画素列中の第1番目の任意のアクティブ基本要素を識別し、アクティブ基本要素のリストに加えるためのスタート列データを用い、前記リストを更新するための手段とを更に具えることができる。前記スタート列データが、各画素列に対して、該一連の画素列中の第1番目の任意のアクティブ基本要素を識別するためのリストを具えることもできる。

【0015】本発明による画像発生装置は、各基本要素に対して、該基本要素がアクティブである前記一連の画素列中の最後の画素列を識別するためのエンド列データを発生させ、記憶するための手段と、前記識別された最後の画素列に対する前記複数の中間画素アレイが描写される際、前記アクティブ基本要素リストから基本要素を削除するための手段とを更に具えることができる。本発明による画像発生装置は、依然として処理の必要がある前記アクティブ基本要素リストから削除される基本要素

を、1以上の前記オフセットに応答して、アクティブであると識別するための削除される基本要素リストを保持するための手段を具えることもできる。

【0016】逆に、基本要素が実際に終了する列より後の、アクティブ基本要素リストのある列から基本要素を削除することによって、所定の走査線上の、潜在的にアクティブである他の基本要素を識別することができる。各スパン毎に実行される、基本要素を拒絶すべきか否かのチェックを施すことによって、このような装置において、削除される基本要素リストを保持しておく必要性をなくしている。

【0017】各基本要素記述子が他の基本要素記述子のポインタのためのポインタ領域を具え、且つ、前記アクティブ基本要素リストが、各列毎に、連続しているこのようなポインタを用い、前記アクティブ基本要素を連鎖にリンクさせることによって形成される。前記と同一のポインタ領域を前記スタート列データ領域の一部として用い、前記と同一の列の2個以上の第1番目のアクティブ基本要素を連鎖にリンクさせることができる。前記と同一のポインタ領域を用いて、基本要素の前記サブセットを連鎖にリンクさせることもできる。

【0018】ジオメトリック記述子に加えて、各基本要素記述子及び、各スパン記述子は、基本要素の表面に亘って、種々の一以上のパラメータの変化を表現することができる。このようなパラメータは、奥行き(Z)、構成座標、及び光の影響に関するその他のパラメータを具えている。最高の画質を提供するために、このようなパラメータは、垂直方向オフセット修正だけでなく、水平方向端部修正（すなわち、いわゆる”列スタート修正”）をも必要とする。これは、水平方向スタート位置の整数画素位置への切捨てを補償するものである。

【0019】従って、本発明における一例では、前記描写手段が、基本要素記述子を受信するとともに、対応する画素列に、基本要素の範囲を各々規定する一連のスパン記述子を発生させるためのスパン発生手段を具え、該スパン発生手段が：サブ画素の精度を用いて、前記スパンの水平方向スタート位置を計算するための手段と；少なくとも1個の他のパラメータに対する初期値を計算するための手段と；サブ画素の精度を用いて、垂直方向のオフセット値を受信し、これより、水平方向のスタート位置のための垂直方向オフセット修正を計算し、前記垂直方向オフセット修正に従って、前記水平方向スタート位置を修正するための手段と；前記他のパラメータ初期値、(1)前記受信された垂直方向オフセットのための修正及び(2)前記修正された水平方向スタート位置の前記サブ画素部分のための修正に関する計算を行ない、水平方向スタート位置から整数画素位置への切捨てを補償するとともに、これらの修正に従って、前記他のパラメータの初期値を修正するための手段とを具えている。

【0020】水平方向スタート位置の垂直方向オフセッ

ト修正のために計算される一定の値は、他のパラメータの値の修正の計算にも役立つことができる。従って、本発明における一例では、前記他のパラメータ初期値の修正前に、前記スパンの前記水平方向スタート位置を修正し、該修正水平方向スタート位置の小数部分を、前記修正の計算に使用するために一時的に記憶し、前記他のパラメータ初期値に適用する。

【0021】他の工夫については、以下の説明及び從属クレームにおいて述べられている。特に、垂直方向オフセット修正及び水平方向端部修正に関する修正の計算を、同様の方法で行なうことができ、また、適切な動作シーケンスによって、チップ領域を鑑みると高価である、ある構成要素を、2以上の計算に順次用いることができる。

#### 【0022】

【実施例】以下図面を参照して、本発明を実施例について説明するに、図1は、3次元物体を2次元ディスプレイ上に表示する画像表示装置を図式的に示す図である。データベースモジュール(OBJ)は、各々一群の物体基本要素として形成される種々の3次元物体を具えている3次元環境のモデル、すなわち、“物体空間”を構成するデータベースを、記憶、管理する。各基本要素を、例えば多角形表面又は、彎曲したパッチとすることができる。これらを、順次、幾何学的記述、例えば、頂点座標と、色、構成、透明度、表面法線等のような表面の記述とによって規定する。光源に関する幾何学的な表面の記述も含めることができる。他方のモジュール(VW)は、例えば、視点の位置、見る方向及び視野の鑑点より視界空間を規定する。

【0023】トラッカボール、マウス及び/又はキイボードのようなユーザ入力手段(INP)を、ヒューマンコンピュータインターフェースモジュール(HCI)に接続し、ユーザが物体空間内で、物体を処理、修正あるいはまた、視点、見る方向及びその他の視界空間に関する特性を処理することができるようになっている。ジオメトリモジュール(GEOM)は、幾何学的な変換を行ない、データベースモジュール(OBJ)で規定される基本要素に関する種々の物体空間の幾何学的な記述を、視界空間における等価な記述に変換する。一般的に、これらの変換は、当該技術においてよく知られているような翻訳、回転及び遠近法を具えている。基本要素に関する表面の記述も、視界空間の照明状態に従って規定される。画像が2次元である一般的な場合、通常x及びyと称する2次元視界空間中の座標は、スクリーンの座標に線型的に対応しているが、一方、第3座標zは、物体のスクリーンへの奥行きに対応している。

【0024】ジオメトリモジュール(GEOM)は、視界空間の基本要素記述を、描写モジュール(DRW)に送信し、描写モジュールが視界空間基本要素記述を、表示に好適な形態、一般的には、スキャン変換によって画像バ

ッファメモリ(ININT)中の画素値の2-Dアレイに変換する。描写モジュール(DRW)は、z座標を用いて、ヒドゥンサーフィスリムーバル(hidden surface removal)の計算を実行するとともに、シェーディングの計算を実行する。このようなタスクを実行するための好適な手段は、当該技術分野において既知である。

【0025】以上において引用されている文献中で、Fuch等が記載している多重描写技術に従って、パッファ(ININT)中の画素アレイを、サンプリング化された画像の中間点としている。表示装置(DIS)上に生じる各画像毎に、一組であるN個の中間画像を描写するとともに、モジュール(OFFS)は、異なる所定のオフセットを、N個の描写の各々に適用し、各描写間を、各画素のサンプルポイントが移動できるようにする。画像アキュムレータパッファ(IMACC)は、中間画像が発生すると同時に、中間画像を足し合わせ、N回の描写の後、画像アキュムレータパッファ(IMACC)は、サンプルポイント分布及び各サンプルポイントに加えることのできる重みに従つて、フィルタ処理された画像を有している。

【0026】Fuch等が記載しているように、画像を順次に改善すると同時に、これらを表示すべき場合には、パッファ(IMACC)中に保持される値を正規化し、各々の描写の真の実行平均を形成できるようにすべきである。しかしながら、パッファ(IMACC)が二重パッファとなっている場合には、全描写が実行され最終的な平均値が得られた後、中間画素値を單に足し合わせ、Nで割算することができる。最終的な平均値は、二重パッファ処理された画像アキュムレータ(IMACC)の出力手段に読み出される。

【0027】実際には、オフセットを用いて、この固定サンプルポイントアレイに関連する基本要素を移動させることができる。ところで、簡単のため、逆の状況を説明している図2では、端部Eと頂点Vとを有している基本要素Pは、画素領域A、B等の方形アレイに亘って不变であるとともに、Nは、2個の代表的な画素領域A及びBの各々の中でドットでマークされているポイントにおける16個の異なるサブピクセルオフセットアフェクトポイントサンプリングと等しい。

【0028】画素A及びBにおいて示されているサンプルポイントアレイは同一のものであり、一組であるN(=16)個のオフセットによって規定されるサブ画素アレイに従つて、画素アレイの各画素領域毎に繰り返される。図2のサブ画素アレイが、16個のサブ画素の方形グリッドの中心に配置されているサンプルポイントの簡単な例であることがわかる。

【0029】簡単のため、斜線にて示されている基本要素Pのカラー値が1であり、且つ、背景のカラー値が0であると仮定すると、図2より、画素Aにおける最終的な平均値は7/16又は8/16であり、また、画素Bにおける最終的な平均値は5/16又は6/16となる。これら

の小部分は、16個のサブ画素で量子化される基本要素でおおわれている画素領域の小部分を示しており、アクチュエータバッファ(INACC)中の画像は、少なくともおおよそはアンチエイリアスフィルタ処理されている。

【0030】アンチエイリアス処理には問題がある。これは、画像のある特徴に対して、他の特徴よりもより顕著である。特に、端部Eのように、ほんのわずか画素アレイの座標軸に対して傾きを有している端部では、かなり明らかな階段効果が生じる傾向にある。このことは、端部Eが例えば位置E'及びE''へと連続的な画像として移動するにつれて、端部Eに沿ってハイスピードで階段のステップが動くように見える場合、特にモーションピクチャー画像シーケンスに妨害をきたす。

【0031】図2は、一般的に最もエイリアスが目立つ場合、特に、サンプルグリッドパターンがこれら16個のボテンシャル量子化レベルをいかに非効率的に用いているかを示している。基本要素端部Eが位置E'に移動する際、フィルタ処理された色の値は、依然として16個中の8個で一定である。従って、E'とE''との間の小さなスペースで、前記値が4レベル急に上がり、16個中の12個となる。事実上、関連する端部が水平又は垂直に近づくにつれて、 $N (= 16)$ 個の潜在的に利用することのできる量子化レベルは、実際には、わずかに $\sqrt{N} (= 4)$ 個に低下し、16個の描写中に12個は、優れたフィルタ処理が最も必要な状況下において、事実上余分なものとなってしまう。我々の同時係属英國第9014528.5号特許出願(PB 33649)では、新規な一連のサンプリングアレイを開示している。このアレイは、非規則的又は、規則的ではあるが画素の列と整列していないポイントのアレイを設けることで、より効果的に量子化レベルを用いている。このため、ポイントの投写は、 $\sqrt{N}$ よりも多くのポイントにおいて、画素軸と交差する。本発明は、従来の技術である規則的なサブ画素アレイと、上記にて引用されている同時係属出願にて開示されている特別なサブ画素アレイとに、等しく適用できる。

【0032】図3は、2次元ディスプレイに3次元空間中の物体を表わしている画像を表示するための本発明による表示装置を略ブロック形式で示している。画像は、走査線アルゴリズムによって生じ、アンチエイリアスフィルタ処理を行なうために、画像の多重描写ができるように配置される。

【0033】図1にて示されている装置では、データベースモジュール(OBJ)が、一群の物体基本要素として各々形成される種々の3次元物体を具える3次元環境のモデル、すなわち“物体空間”を形成するデータベースを記憶、管理する。もう一方のモジュール(VEW)は、例えば視点の位置、見る方向及び視野の鑑点より視界空間を規定する。トラッカボール、マウス及び/又はキーボードのようなユーザ入力手段(INP)を、ヒーマンコンピュータインターフェース(HCI)に接続し、ユーザが物体空

間内で物体を処理若しくは修正、又は、視点、見る方向及びその他の視界空間に関する特性を処理することができるようしている。ジェオメトリモジュール(GEOM)は、幾何学的な変換を行ない、データベースモジュール(OBJ)で規定される基本要素に関する種々の物体空間の幾何学的な記述を、視界空間の等価な記述に変換する。これらの記述は、ジェオメトリモジュール(GEOM)の一部分を構成する基本要素記憶装置(PST)に記憶される。スパンジエネレータ(SPGN)とスパンプロセッサ(SPPR)とは、オフセットジエネレータ(OPGN)と相換って、図1のモジュール(DRW)及び(OPPS)と等価なものである。

【0034】走査線アルゴリズムによって、一回に、通常、上部から底部へ、一画像線が発生する。スクリーンラインを処理する間、記載されている例ではポリゴン(多角形)であるが、前記ラインに寄与するすべての基本要素に関する情報が利用可能でなければならない。このことは、アクティブポリゴン(Polygon)リスト(APL)と称する、すべての寄与するポリゴンに関するリンクされたリストを用いることで達成される。あるスクリーンラインから、次のいくつかのポリゴンへの移動が、何ら画像に寄与しない場合、これらは、リストから消去されるはずである。一方、その他は、寄与し始め、足し合わされははずである。ポリゴンがリスト中に現れる順番は、全く問題にならない。リストが、現在のラインを部分的におおっているすべてのポリゴンを正確に記録していることのみが必要である。

【0035】アクティブポリゴンリストを構成するため、画像を形成する、すべての2次元ポリゴンのデータ表が、前記画像の任意の画素が発生する以前に、組立てられる。これを、図1にて示されているような非走査線システムと対比する。非走査線システムでは、一回に一個のポリゴンが、3次元表現から2次元画素へと処理される。各スクリーンラインに対して一つづつ、3次元多角形がパケットに分類される場合、単に適切なパケットリストをアクティブポリゴンリスト(APL)に加えることによって、新たな多角形がアクティブポリゴンリスト(APL)に加えられる。図5は、メモリPST中のこの構成を示している。

【0036】図5に示されているように、走査線0, 1, 2, ..., Lでスタートするポリゴンのパケットリストを指示しているメモリバンク0, 1, 2, ..., Lを設ける。これらのYパケットは、所定のラインYでスタートするポリゴンのリンクされたリストを具えている。図5では、ラインY=0において、2個のポリゴンがスタートすることが示されている(1st及び2nd)。各ポリゴンに対して、スタートライン(STY)及びエンドライン(ENDY)は、端部傾斜及びスタートラインにおけるX値とともに記憶される(これは、図4に示されている三角形の基本要素の場合、単一の値となる)。更に、奥行きの値(z)及び表面の特性も記憶される。

【0037】1フレームを処理するためのスキャンジェネレータ(SPGN)の基本的なアルゴリズムは、以下に示す通りである：各々のYに対して、

Yバケットに新しいエントリがある場合新しいエントリをアクティブポリゴンリストに加えるアクティブポリゴンリストの各ポリゴンに対して、スパン記述子を発生させる

ラインがEDYの場合ポリゴンをアクティブポリゴンリストから削除する。

ラインがEDYでない場合端部をインクリメントする。

【0038】このようにして、最小のYの値に基づきすべてのポリゴンが、Yバケットに分類された後、スパンジェネレータ(SPGN)は、最小のスクリーンYから、最大のスクリーンYへと、すなわち上部から底部へと、スクリーンを考察する。各ライン毎に、スパンジェネレータ(SPGN)スパン記述子(SD)を、前記ラインの各ポリゴン毎にスパンプロセッサ(SPPR)に伝送する。スパンプロセッサは、画素を單一ライン画像バッファ(LIMINT)に送り、このバッファが、中間画素値を記憶する。スパンジェネレータ(SPGN)は、各走査線を処理する以前に更新されるアクティブポリゴンのリストを保持する。通常、新しいYバケットのポリゴンがリストに加えられ、いくつかの古いものが削除される。残っている古いポリゴンは、この段で垂直傾斜によってインクリメントされるすべての端部の値を有している。

【0039】任意のスクリーンラインY=Lにおいて、リンクされたポリゴンのバケットが存在する。これは、ナルポインタ、すなわち、アドレスゼロを指示しているポインタで終了する。スパンジェネレータ(SPGN)中のプロセッサは、アクティブポリゴンリストを保持する。現行のラインにおいて、プロセッサは、まずバケットLをアクティブポリゴンリストに加え、ポリゴンを取り入れる。このことは、まず、バケットLのスタートアドレスを、アクティブポリゴンリストのナルポインタに書き込むことによって、このラインで開始する。この時、バケットLのナルポインタは、アクティブポリゴンリストの新しいナルポインタを形成する。この時、スパンジェネレータは、アクティブポリゴンリストを考察し、各ポリゴン毎に、スパン記述子(SD)を発生させる。スパン記述子(SD)、開始及び終了x値、奥行きすなわちz値、色、明暗値等である。このスパン記述子は、独立のスパンプロセッサ(SPPR)に送られ、このプロセッサは、画素値をラインバッファ(LIMINT)に書き込む。必要ならば、例えばzバッファアルゴリズムによって、この段で、隠れている表面除去も行なわれる。スパンジェネレータ(SPGN)は、次のスクリーンラインの準備として、適切な傾斜値によって、各ポリゴン記述子のx-left値及びx-right値もインクリメントする。

【0040】Yバケットポリゴンリストに割当てられるべきメモリ量は、シーンのポリゴンの总数及びデータ構

造の複雑さに依存している。多重構成マップを用いる精巧な描写プログラムは、シンプルなグラウド(Gouraud)シェーディドポリゴンよりもかなり多くの記憶容量を必要とする。ポリゴンリストは、2個の異なるリンクされた構造、すなわち、Yバケットリンクリスト及びアクティブポリゴンリンクリストを同時に保持する。しかしながら、これらのリストは同時に必要とされないので、同一のポインタ領域を同時に両者に適用することができる。

【0041】メモリ中に、Yバケットを指示しているエントリを具えているスクリーン(0, 1----L)のライン数と等しいサイズのアレイ、すなわち各ラインで開始するリンクされたポリゴンリストを設ける。アクティブポリゴンリスト(APL)中にも、第1ポリゴン構造を指示しているポインタすなわちAPLスタートを設ける。この構造を用いて、アクティブポリゴンリスト(APL)を保持する。この構造において注目すべき領域は、リンクポインタのみである。図5は、第1スクリーンラインを処理する前のフレームポリゴンメモリの内容を示している。

【0042】最初に、APLスタートのリンクポインタ領域は、ナルを指示している。スクリーンラインゼロのためのYバケットエントリは、リンクポインタ領域によってリンクされる2個のポリゴンのリストを指示している。第2ポリゴンは、ナルを指示している。新しいYバケットは、各スクリーンラインのスタート時に、アクティブポリゴンリストに加えられる。バケットが空の場合には、最後にポリゴンのナルリンクポインタは、ナルポインタで、バケットアレイエントリから単にオーバライドされるにすぎない。

【0043】Fuchi等によって開示されているアンチエイリアスフィルタリング機構によれば、フレーム中のすべてのポリゴンは、多數回、累積バッファに送られる。各々の描写は、サブ画素xオフセット及びyオフセットの異なる対を有している。すべてのx及びyポリゴン構成位置が処理され、分数の正確性が保持されている。最終的には、アンチエイリアシング効果を用いて、画像の空間的フィルタ処理を行う。定義により処理される走査ラインが、ラインバイーライン(line-by-line)の原理に基づき発生する。また、サブ画素のxオフセットは容易に処理することができるが、yオフセットによって、一つの走査線が、次の走査線に影響を与えることとなる。このことは、既知の走査線アルゴリズムを用いても不可能である。

【0044】図4は、通常のポジション1及び2個の起こりうるオフセットポジション2及び3における三角形を示している。走査線A~Dにおいて、ポジション2及び3に対するスパンの新たな制限xleft及びxrightを、オフセット値Nx及びNyより、計算することができる。値Nxは、単にxleft及びxrightに加えられ、Ny

13

には、端部の傾きがかけられ、引き算を行う前に、水平方向へのオフセットに変換される。すなわち；

$xleft(new) = xleft + Nx - Ny \delta xleft$

$xright(new) = xright + Nx - Ny \delta xright$

各オフセットに従って修正される  $xleft$  及び  $xright$  の値を用いて各スパンが多数回、スパンプロセッサ(SPPR)に送られる。

【0045】多層描写によってアンチエイリアスフィルタ処理を行なうために、各スパン記述子を、多数回、スパンプロセッサ(SPPR)に送る必要がある。水平方向(すなわち  $x$ )のオフセットに関しては、この問題はないが、垂直方向(すなわち  $y$ )のオフセットに関しては、多くの問題がある。走査線Aにおいて、これらのオフセットによって、走査はゼロ若しくは負の長さまで低減される。厳密に言えば、ポリゴンは、ラインDで終了するが、ポジション3にオフセットする場合、ラインEにも描写する必要がある。第1の問題は、ゼロ若しくは負のスパンを検出するとともに、このスパンを、スパンジェネレータ(SPPR)に供給している間又は、供給する以前に、前記スパンを拒絶することによって解消することができる。第2の問題は、アクティブポリゴンリスト(APL)と同様に、デリーティドポリゴンリスト(DPL)を保持することによって、この実施例によって解消される。デリーティドポリゴンリスト(DPL)は、先の走査線の処理中に削除されるすべてのポリゴンを採用することで構成される。従って、ポリゴンリスト(DPL)は、次の走査線及び、これに関する削除されるポリゴンが記憶された後、消去される。このようにして、デリーティドポリゴンリストは、先行するラインのアクティブポリゴンリストから削除されるこれらすべてのポリゴンを具えている。

【0046】図6は、スクリーンラインLの処理のためのフレームポリゴンメモリの内容を示す図である。これは、ライン0でスタートし、ラインL-1で終了するとともに、ラインLで削除されるポリゴンリスト DPLを具える第1及び第2ポリゴンを示している。ポリゴンが同一のラインでスタートし、終了する必要がないことに注意すべきである。例えば、第1ポリゴンがラインL-1で終了しあえすれば、削除されるポリゴンリストは、第1ポリゴンのみを具え、第2ポリゴンにリンクされる代わりに、ナルポインタを出力する。更に2個のポリゴン、すなわち、第3及び第4ポリゴンがラインLでスタートし、これらがアクティブポリゴンリストAPLに加えられることがわかる。この例では、アクティブポリゴンリスト中にわずかに2個のポリゴンが存在するにすぎないが、一方、このことは、必ずしも必要ではなく、また、通常のことである。その理由は、先行するラインでスタートしたその他のポリゴンが依然として存在するからである。この場合、第3及び第4ポリゴンは、単にこれらを先行するYパケットのナルポインタにリンクさ

14

ることによって、リストに加えられるにすぎない。

【0047】多層描写によってアンチエイリアスフィルタリングを行なう際、スパンジェネレータ(SPGN)によって実行される高レベルアルゴリズムは、以下に示す通りである；各々のYに対して新しいYパケットを、アクティブポリゴンリストに加える。第1オフセットを選択する。最後の描写を除く、すべての描写に対して、削除されるポリゴンリスト中のすべてのポリゴンに対して、スパンを発生させる。アクティブポリゴンリスト中のすべてのポリゴンに対して、スパンを発生させる。ラインパッファに蓄積する次のオフセットを選択する。削除されるリスト中のすべてのポリゴンに対して、スパンを発生させる。デリーティドポリゴンリストを消去する。アクティブリスト中のすべてのポリゴンに対して、ポリゴンの第1スパンの場合、わずかにポリゴンを次のスクリーンラインへインクリメントするポリゴンの第1スパンでない場合スパンを発生させるポリゴンを1スクリーンラインインクリメントするポリゴンの最終スパンの場合ポリゴンをデリーティドポリゴンリストに加えるラインパッファに蓄積するラインアキュムレータをフレームバッファに移す上記高レベルアルゴリズムは、ある点に関して、y方向のオフセットに関連して発生する問題を考慮するのに適しているはずである。デリーティドポリゴンリストと関連する“スパンを発生させる”とのステートメントは、垂直方向オフセット  $Ny + (EDY \text{ の小数部分}) = 1$  の場合にのみ実行される。これは、ポリゴンの一部分を現在の走査ラインへと送るための必要条件である。

【0048】2個のポリゴンが垂直方向に接近している場合、すなわち、アンチエイリアスされるシステム中で両者が合致する場合スクリーンライン上に両者を表示せず、その他のスムースな画像に対して顕著なエラーを除く必要がある。本発明の実施例において、このことを達成するために、ポリゴンの第1ラインを表示しない。このことによって、ある小数の垂直位置でスタートするポリゴンの第1スパンに、垂直方向のオフセットを与える際に生じる問題を解消することができ有利である。垂直方向のオフセットの水平方向のシフトである  $xleft$  及び  $xright$  への変換は、これらの場合には、うまく作用しない。すなわち、三角形の頂点が第1ラインである場合、 $xleft$  と  $xright$  とを交換し、負のスパン長を発生させる。しかしながら、垂直方向のオフセットによって、ポリゴンの第1スパンが次の表示行(すなわち、スクリーンライン)に生じる際、依然として処理を施す必要性がある。これらのスパンは、STYの後ただちにスクリーンラインに適用される以下のテストを用い、検出されるとともに拒絶される。

【0049】

$(STY \text{ の整数部分}) = Y - 1$  且つ

$(STY \text{ の小数部分}) + Ny = 1$  の場合、スパンを拒絶する。

このテストを、ポリゴンの第1ラインが表示されない条件と結びつけ、以下のテストが与えられる。(STY+ Ny)の整数部がYの場合、スパンを拒絶する。スクリーンラインが処理されるにつれて徐々に進展するアクティブポリゴンリスト(APL)とは異なり、デリーティドポリゴンリスト(DPL)は、各々スクリーンライン毎に、消去されるとともに再構成される。しかしながら、アクティブリスト及びデリーティドリストの両方に、同時にポリゴンが存在しないので、両方の目的のために、ポリゴン記述子中に同一のリンクポインタを用いることができる。

【0050】ポリゴンからスパンを発生させることに加え、各スクリーン毎に、ポリゴンのすべてのパラメータを垂直方向にインクリメントさせる必要もある。このことは、各ラインの最後の描写を発生させると同時に行なわれる。従って、最初の( $n-1$ )個の描写は、單に、現行のアクティブ(APL)及びデリーティド(DPL)ポリゴンリストのためのスパンの発生を伴うにすぎない。各描写が実行され、ラインパッファ(LIMINT)に記憶され、ラインアキュムレータ(LIMACC)に加えられる。最後の描写では、まず、デリーティドポリゴンリスト(DPL)からスパンを発生させ、その後、再構成の準備として、デリーティドポリゴンリスト(DPL)を消去する。この際、アクティブポリゴンリスト(APL)が処理される。すなわち、スパンが発生し、完成されたポリゴンがアクティブポリゴンリスト(APL)から新たなデリーティドポリゴンリスト(DPL)へと移される。最終的に、ラインアキュムレータパッファ(LIMACC)が蓄積され、最終的に得られるアンチエイリアスフィルタ処理された画像ラインが、ラインアキュムレータ(LIMACC)からフレームパッファに伝達される。

【0051】考慮すべきポリゴンの処理に関するその他の事柄としては、xleft, xright, zleft 等のパラメータが垂直方向に増大する場合、整数画素位置での正しい値が必要とされるということである。ポリゴンのSTY値が小数部分を有しているので、最初の垂直方向へのインクリメントを用いて、ポリゴンを整数yグリッドに一致させる。すなわち、全スクリーンラインだけ、インクリメントされるのではなく、1 - [STYの小数部分]だけインクリメントされる。

【0052】図7は、図3にて示すスパンジェネレータSPGNを更に詳細に示す図である。上記にて説明したように、このスパンジェネレータは、基本要素記述子PDを(図3にて示す)基本要素記憶装置PSTから受信するとともに、スパン記述子(SD)をスパンプロセッサSPPRに供給する。スパンジェネレータSPGNを、図7で点線にて示すオフセットジェネレータOFFGNにも接続する。

【0053】スパンジェネレータSPGNは、垂直方向インクリメンティング回路VINCと、オフセット修正回路600とを具えている。この回路600は、3個の2-1マル

チブレクサ60, 62及び64と、5個の一時的記憶レジスタ66, 68, 70, 72及び74と、乗算回路76と、2個の減算回路78及び80と、加算回路82とを具えている。選択信号をマルチブレクサに供給し、クロック信号をレジスタに供給する等のための順次の制御回路は、図示されてはいないが、当業者にとっては当然のことである。

【0054】垂直方向インクリメンタVINCに供給される各基本要素記述子PDは：スタート行 STY及びエンド行 EDYの値と；xleft 及びxrightのスタートイング値(基本要素の左側端部位置及び右側端部位置)と；y(垂直方向位置座標)に対するこれら端部の傾き $\delta xleft$ 及び $\delta xright$ とを具えている。基本要素記述子は、zleftの初期値も具えている。この値は、基本要素の左側端部における奥行き座標zの値である。yに対する部分的な微分 $\delta zleft$ 及び $\delta z / \delta x$ も含まれている。さらに、実際の例では、記述子PDに、より多くのパラメータを含め、(x及びyの部分的な微分を伴う)座標軸u及びvを作成するも、シェーディング効果に用いられる光源の値又は表面法線の値のようなパラメータを具えることもできる。

【0055】所定の基本要素に関して、垂直方向のインクリメンタVINCは、yに対する端部の傾き及び部分的な微分を用い、現在のスパンに対するスタート位置xleft及びエンド位置xrightを更新しつつ、STYからEDYに至る行をステップするとともに、回路600に、スパンプロセッサSPPR(図3)に送られるスパン記述子SDを形成するに必要とされる値xleft, xright, zleft,  $\delta z / \delta x$ を供給する。オフセットNx, Nyの追加を容易にするとともに、更に、zleftの垂直方向オフセット修正及び水平端部修正がスパン記述子SD中に含まれるにうするため、値 $\delta xleft$ ,  $\delta xright$ 及び $\delta zleft$ も供給する。回路中の結線数を減少させるために、これらの値は、図7の61にリストされている順番で順次に供給される。

【0056】サブ画素オフセットNx, Ny及び修正を含めるために、マルチブレクサ60をスイッチし、加算器82の出力端子を、スパンプロセッサSPPRに接続し、SPPRが図7の63にリストされているような一連の修正値xleft(new), xright(new)等を受信できるようにしている。オフセット修正回路600によって修正されるこれらの値の処理方法及び発生を記述する。

【0057】すでに述べたように、xleft(new)及びxright(new)を規定する方程式は、以下に示す通りである；  
 $xleft(new) = xleft + Nx - Ny \delta xleft$ ,  
 $xright(new) = xright + Nx - Ny \delta xright$   
 レジスタ66及び68は、オフセットジェネレータOFFGNから受信される水平方向及び垂直方向のオフセット値Nx及びNyをそれぞれ記憶する。Ny -  $\delta xleft$ 及びNy  $\delta xright$ の項は、水平方向のオフセット修正(VOC)項であり、レジスタ70は、所定の時刻におけるVOC項を所定

の時刻に一時的に記憶する。

【0058】高い(サブ画素の)正確性を得るために、 $xleft(new)$ を発生させるが、 $xleft(new)$ の小数(サブ画素)部分は、スパンプロセッサSPPRの水平方向のインクリメントによって無視される。基本要素において、 $z$ ,  $u$ 又は $v$ のような他の幾つかのパラメータが挿入される場合には、この整数値 $x$ への切捨てによって、問題が生じる。例えば、行のスタート位置で計算される $z$ の値は、極めて正確に $xleft$ の値に合致しているが、切捨てられた値とは合致していない。この $z$ のエラーによって、基本要素間に不完全な交差及び、隠れている表面のスプリアス“ポークスロウ(poke-throughs)”の原因となり得る。同様に、構成軸 $u$ ,  $v$ の打切り誤差によって、小さいけれども視覚的に目立つ不連続性が構成パターンの作成に生じうる。

【0059】水平方向の端部修正値 $HEC(z)$ は、方程式：

$$HEC(z) = (1 - \frac{1}{frac(xleft(new))}) \cdot \delta z / \delta x$$

に従って計算され、 $zleft$ に加算される。ここで、 $frac(xleft(new))$ は、修正された水平方向スタート位置 $xleft(new)$ の小数(サブ画素)部分である。値の小数部分は、一般的に、全16~32ビットのうち4個の最小有効ビットをとることができる。これは、画素アレイのサイズ及び必要とされるサブ画素の正確性に依存している。垂直方向のオフセット修正値 $Ny \cdot \delta zleft$ を含め、 $zleft(new)$ の正しい方程式は：

$$zleft(new) = zleft + (1 - \frac{1}{frac(xleft(new))}) \cdot \delta z / \delta x - Ny \cdot \delta zleft$$

となる。この方程式は、 $Nx$ の代わりに、水平方向端部修正項 $HEC(z)$ を用い、上記にて示す $xleft(new)$ の方程式と、その形態において類似していることがわかる。更に、要求される $xleft(new)$ の小数部分は、 $xleft(new)$ の整数部分と同時に発生させられるあるいはまた、発生しうるものである。 $xleft(new)$ の整数部分は、すでにスパンプロセッサによって要求されている。

【0060】図7のスパンジェネレータは、この類似性及び、 $frac(xleft(new))$ の利用可能性を有し、 $xleft(new)$ 及び $xright(new)$ を発生させるのに用いられるのと同一の回路を実質的に用いて、 $zleft$ の修正を行なうのに有利である。このことは、マルチブレクサ60~64及び記憶レジスタ70~74の動作を、垂直方向のインクリメンタVINCの出力端子でシーケンシャルに7個の値を用いるのに、同期させることによって、達成される。これら7個の動作段に、(1)~(7)の番号を付け、以下で順番に説明する。これらの動作段のインクリメンタVINCによって与えられる値のシーケンスを図7の61に示し、スパンプロセッサに供給されるシーケンスな値を図7の63で示す。サイクル2, 4, 5及び7で与えられる値は、スパン記述子SDを構成するが、括弧内の値(サイクル1, 3及び6)は不要であり、スパンプロセッサによって無

視される。(1)~(7)の各々のステージにおける動作は、以下の通りである：

- (1) マルチブレクサ62を介してレジスタ68より受信されるオフセット $Ny$ と、インクリメンタVINCから受信される $\delta right$ とは、マルチブレクサ76の入力端子に供給される。このようにしてマルチブレクサ76の出力端子は、レジスタ70に記憶される $VOC(xright)$ を伝送する；
- (2) 78において、マルチブレクサ64を介してレジスタ66から受信される水平方向のオフセット $Nx$ から、レジスタ70に記憶される $VOC(xright)$ を減算する。その差は、82において、水平方向インクリメンタVINCから受信されるものとの $xright$ 値に加えられる；このようにして、加算器82の出力端子は、修正された $xright(new)$ を伝送する。この修正された $xright(new)$ の少なくともその整数部分は、マルチブレクサ60を介して、スパン記述子SDの第一部分としてスパンプロセッサに転送される；
- (3)  $\delta xleft$ がインクリメンタVINCから受信される。 $VOC(xleft) = Ny \cdot \delta xleft$ は、レジスタ70に記憶される；
- (4)  $xleft$ は、インクリメンタVINCから受信され、 $xleft(new)$ は、加算器82によって発生し、スパンプロセッサSPPRに転送される；同時に、 $xleft(new)$ の小数部分すなわち $frac(xleft(new))$ は、レジスタ74に記憶される；
- (5) 80で、1から $frac(xleft(new))$ を減算し、マルチブレクサ62を介して乗算器76に供給する；乗算器76は、インクリメンタVINCから $\delta z / \delta x$ を受信するとともに、水平方向の $z$ の端部修正値 $HEC(z) = (1 - \frac{1}{frac(xleft(new))}) \cdot \delta z / \delta x$ を発生させる。この値は、レジスタ72に記憶される； $\delta z / \delta x$ は、マルチブレクサ60によってスパンプロセッサに転送される；
- (6) 76で、 $Ny$ と $\delta zleft$ とが乗算され、垂直方向の $z$ のオフセット修正値 $VOC(z)$ を構成する。この値は、レジスタ70に記憶される；
- (7)  $zleft(new)$ は、 $HEC(z)$ から $VOC(z)$ を減算するととも、インクリメンタVINCから受信されるものとの値 $zleft$ を加算することによって、発生する。この値は、マルチブレクサ60を介して、スパンプロセッサ(図3)に供給される。

【0061】 $frac(xleft(new))$ がレジスタ74に残っている限り、水平方向の端部修正及び垂直方向のオフセット修正を、インクリメンタVINCによって供給される適切な値を用いて、サイクル(5), (6), (7)を繰返すことによって、任意の数のその他のパラメータ( $u$ ,  $v$ , 表面法線等)に適用することができる。構成要素72, 74, 62及び64と、幾つかの付加的な編成とが、水平方向の端部修正に必要とされ、その他の構成要素(特にマルチブレクサ76)は、垂直方向の $xleft$ 及び $xright$ のオフセット修正のためのものである。更に、マルチブレクサ76に用いられるファクタの一つは、常におそらく4ないし5

ビット小数である。各々16~32ビットの2個の高精度数のための汎用乗算器を設ける必要はない。

【0062】本発明は、ここに開示されている実施例に限定されるものではなく、要旨を変更しない範囲内で種々の変形又は変更が可能である。

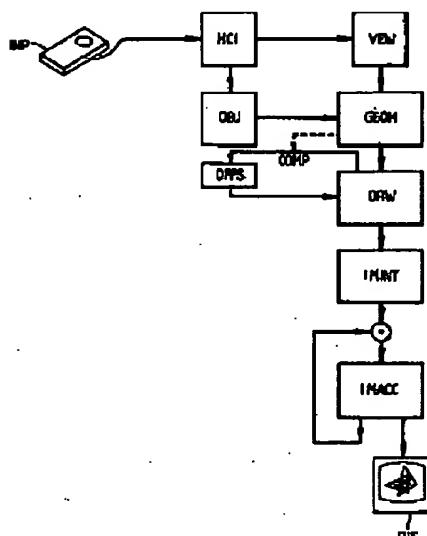
### （図面の簡単な説明）

【図1】多重描写によってアンチエイリアスフィルタリングを実行するのに好適な2次元画素アレイに、ディスプレイの3次元空間中の物体の像を発生させるための装置を示すブロック図である。

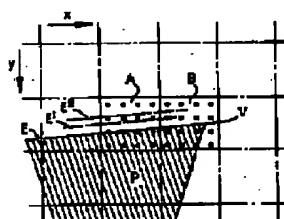
【図2】多重描写によるアンチエイリアスフィルタリングの原理を示す図である。

【図3】2次元画素アレイに、ディスプレイの3次元空間中の物体の像を発生させるための、本発明による装置の一例を示す図である。

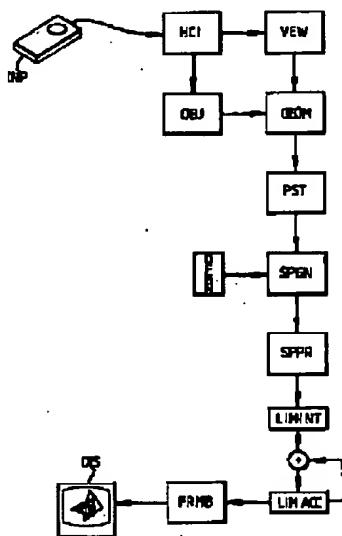
〔図1〕



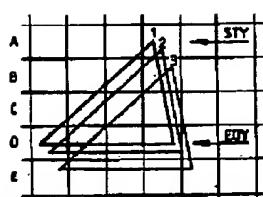
[図2]



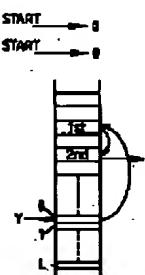
[図3]



〔图4〕



[図5]



[圖7]

